



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 199 26 501 A 1**

⑤ Int. Cl. 7:  
**H 01 L 21/8239**

②① Aktenzeichen: 199 26 501.1  
②② Anmeldetag: 10. 6. 1999  
④③ Offenlegungstag: 21. 12. 2000

DE 199 26 501 A 1

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Engelhardt, Manfred, Dr., 83620  
Feldkirchen-Westerham, DE; Weinrich, Volker, Dr.,  
81373 München, DE; Kreupl, Franz, 80469  
München, DE; Schiele, Manuela, 85625 Glonn, DE

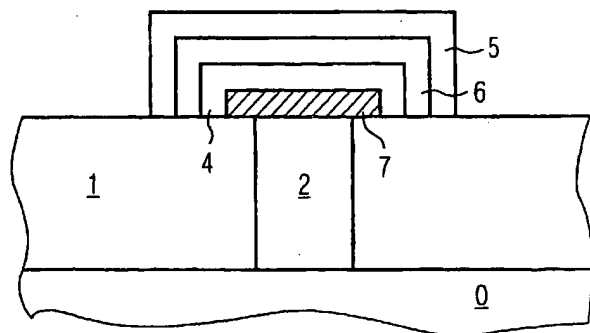
⑤⑥ Entgegenhaltungen:  
US 55 81 436  
US 55 06 166  
US 54 64 786  
WO 99 27 581 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zur Herstellung eines Halbleiterspeicherbauelements

⑤⑦ Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FeRAM, mit einem Silizium-Substrat, auf welchem zumindest ein Speicherkondensator mit unterer Elektrode, oberer Elektrode und einer dazwischen liegenden Dielektrikumschicht, insbesondere aus einem ferroelektrischen Material, angeordnet ist, wobei die untere Elektrode von dem Silizium-Substrat durch eine Barrierenschicht, insbesondere bestehend aus einer Diffusionsbarriere bzw. einem Diffusionsbarrieren-Sandwich in Kombination mit Haftsichten, insbesondere aus Ir, IrO<sub>2</sub>, IrO, isoliert ist. Die Barrierenschicht wird vor dem Aufbringen des Speicherkondensators mittels einer Hartmaske, insbesondere aus SiO<sub>2</sub>, SiN, SiON, strukturiert, die nach der Strukturierung verbleibende Maskenschicht unter Freilegung der strukturierten Barrierenschicht entfernt wird. Es ist vorgesehen, daß die strukturierte Barrierenschicht vor Entfernung der verbleibenden Maskenschicht mittels CVD (Chemical Vapour Deposition bzw. chemische Dampfabcheidung) in SiO<sub>2</sub> eingebettet wird, und daß die verbleibende Maskenschicht zusammen mit der SiO<sub>2</sub>-Einbettung von der Oberfläche der Barrierenschicht mittels eines SiO<sub>2</sub>-CMP (Chemical Mechanical Polishing)-Prozesses entfernt wird.



DE 199 26 501 A 1

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FeRAM, mit einem Silizium-Substrat, auf welchem zumindest ein Speicherkondensator mit unterer Elektrode, oberer Elektrode und einer dazwischen liegenden Dielektrikumschicht, insbesondere aus einem ferroelektrischen Material angeordnet ist, wobei die untere Elektrode von dem Silizium-Substrat durch eine Barrierschicht, insbesondere bestehend aus einer Diffusionsbarriere bzw. einem Diffusionsbarrieren-Sandwich in Kombination mit Haftsichten, insbesondere aus Ir, IrO<sub>2</sub>, IrO, isoliert ist, wobei die Barrierschicht vor dem Aufbringen des Speicherkondensators mittels einer Hartmaske, insbesondere aus SiO<sub>2</sub>, SiN, SiON, strukturiert wird, die nach der Strukturierung verbleibende Maskenschicht unter Freilegung der strukturierten Barrierschicht entfernt wird.

Die betreffenden Halbleiterspeicherbauelemente umfassen zumindest einen Speicherkondensator mit einem Speichermedium, das aus einer ferroelektrischen Dünnschicht bzw. einer Dünnschicht mit hoher Elektrizitätskonstante besteht. Beim Einsatz derartiger Speichermedien sind Ausheilprozesse bei hohen Temperaturen, charakteristischer Weise in der Größenordnung von 800°C, in oxidierender Umgebung mit insbesondere Sauerstoff als Prozeßgas notwendig. Materialdiffusionsprozesse, beispielsweise durch Aufoxidieren von Polysilizium-Stopfen (sogenannten -Plugs), welche der Kontaktierung zum Silizium-Substrat dienen, müssen vermieden werden, weil sie zu einer Beeinträchtigung oder gar zum Ausfall des Halbleiterspeicherbauelements führen können.

Um Materialdiffusionsprozesse auszuschließen, werden Diffusionsbarrieren bzw. Sandwiches derartiger Barrieren in Kombination mit Haftsichten eingesetzt, beispielsweise bestehend aus Ir, IrO<sub>2</sub>, IrO. Im folgenden werden diese Strukturen insgesamt als Barrieren bzw. Barrierschicht bezeichnet. Diese Barrieren werden zwischen dem Speicherkondensator und dem Silizium-Substrat angeordnet. Das heißt, auf die Barrierschicht wird die untere Elektrode, die sogenannte Bottom-Elektrode des Speicherkondensators, die typischerweise aus Pt, Ru, RuO<sub>2</sub> besteht, aufgebracht. Um eine optimale Haftung der unteren Elektrode auf der Barriere zu gewährleisten, muß die Barrierschicht eine möglichst große ebene Kontaktfläche aufweisen. Außerdem ist ein möglichst niedriger Kontaktwiderstand erforderlich, zumal Elektrodendünnschichten üblicherweise schlecht auf dem Silizium-Substrat haften.

Die Barrierschichten lassen sich nur schlecht im Plasma strukturieren, da sie unzureichende bzw. nichtflüchtige Verbindungen in den zur Strukturübertragung eingesetzten Prozeßchemien bilden. Die Strukturierung erfolgt daher bislang bevorzugt durch physikalischen Sputterabtrag der Schichten. Bei der Strukturübertragung werden deshalb zu Maskenmaterialien geringe Selektivitäten erzielt. Im Fall einer Barrierschicht aus IrO<sub>2</sub> trägt außerdem der dabei freiwerdende Sauerstoff zusätzlich zur Lackabtragung bei. Außerdem führt die Strukturübertragung zu einer signifikanten CD (= Critical Dimension)-Änderung und/oder zu Profilschrägungen durch ein laterales Zurückziehen des Resists bzw. durch Anlagerung von nur schwierig bzw. gar nicht entfernbaren Redepositionen an den Seitenwänden der erzeugten Struktur oder durch Kombination aus beidem.

Bekannt ist außerdem im Zusammenhang mit dem Aufbringen von Speicherkondensatoren auf einem Siliziumsubstrat die Verwendung einer dielektrischen harten Maske bzw. Hardmask, die beispielsweise aus SiO<sub>2</sub>, SiN oder SiON besteht. Wegen der grundsätzlich geringeren Erodierbarkeit

dieser Maskenschichten sind bei einer Prozeßführung mit Hilfe dieser Maskenschichten höhere Selektivitäten realisierbar. Aufgrund der Maskenfacettierung bei bevorzugt physikalischem Sputterabtrag im Plasmastrukturierungsprozeß muß jedoch die Dicke der Maskenschicht größer gewählt werden als allein durch die Selektivität vorgegeben, um eine Übertragung der Facette in die zu strukturierende Schicht zu vermeiden. Die Entfernung der nach erfolgter Strukturübertragung verbleibenden Maske in einem Plasmaätzprozeß führt zu einer zusätzlichen Vergrößerung der erwünschten Topographie von mindestens der Dicke der zu entfernenden Maskenschicht.

Derartige Strukturierungsprozesse sind beispielsweise bekannt aus der US-A-5 464 786, der US-A-5 506 166 und der US-A-5 581 436. Naßprozesse zum nachfolgenden Abtragen der Maskenschicht scheiden wegen der damit verbundenen zusätzlichen isotropen Unterätzung der Strukturen prinzipiell aus.

Eine Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren der eingangs genannten Art zu schaffen, welches eine optimal große Oberfläche bzw. Haftfläche der Barrierschicht gegenüber der unteren Elektrode des Speicherkondensators gewährleistet.

Gelöst wird diese Aufgabe durch das Verfahren nach Anspruch 1.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Mit anderen Worten sieht die Erfindung eine vollständige Einbettung der strukturierten Barrierschicht mitsamt der auf ihr verbleibenden Maskenschicht in SiO<sub>2</sub> mittels CVD (chemische Dampfabcheidung) vor, gefolgt von einem CMP (Chemical Mechanical Polishing)-Prozeß, vorteilhafterweise mit Polierstopp auf der Kontaktfläche der Barrierschicht. Diese Prozeßschritte gewährleisten Barrierschichten mit minimaler Oberflächen- bzw. Kontaktflächenänderung, die auch als CD (Critical Dimension) bezeichnet wird, unter zwar unter Erzeugung senkrechter Seitenwände aufgrund der Verwendung einer Hartmaske für die Strukturübertragung. Mittels der dadurch erzielten großflächigen und ebenen Kontaktfläche für die darauf aufzubringende untere Elektrode ohne Erzeugung zusätzlicher Topographie aufgrund der erfindungsgemäßen Kombination von CVD-SiO<sub>2</sub> und SiO<sub>2</sub>-CMP wird eine optimale Haftung des Speicherkondensators bei niedrigem Kontaktwiderstand gewährleistet.

Ein weiterer Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß die Barrierschicht mit ihrer freigelegten Kontaktfläche in einer umgebenden SiO<sub>2</sub>-Schicht mit Ausnahme ihrer Oberfläche bzw. ihrer Kontaktfläche eingebettet ist. Eine derartige Struktur mit vergrabener Barrierschicht ergibt sich aufgrund der erfindungsgemäßen Verfahrensführung mit CVD-SiO<sub>2</sub> und SiO<sub>2</sub>-CMP.

Nachfolgend wird die Erfindung anhand der Zeichnung beispielhaft näher erläutert.

Es zeigen:

Fig. 1 eine schematische Querschnittsansicht eines Halbleiterspeicherbauelements im Bereich eines Speicherkondensators;

Fig. 2 schematisch den bisherigen Herstellungsprozeß für die Barrierschicht der Anordnung von Fig. 1, wobei im oberen Teil von Fig. 2 das Verfahren nach Lackauftrag und im unteren Teil von Fig. 2 das Verfahren nach erfolgter Strukturübertragung;

Fig. 3A und 3B die Verfahrensführung unter Nutzung einer Hard Mask (harten Maske); und

Fig. 3C und 3D die erfindungsgemäße Verfahrensführung mit CVD-SiO<sub>2</sub> (Fig. 3C) und SiO<sub>2</sub>-CMP (Fig. 3D).

Wie in Fig. 1 schematisch gezeigt, ist auf ein mit z. B.

SiO<sub>2</sub> beschichtetes Substrat 0 im Bereich eines dort in herkömmlicher Weise ausgebildeten Stopfens bzw. Plug 2 aus Poly-Si, W und dergleichen, welcher Stopfen 2 sich bis zur Oberseite der SiO<sub>2</sub>-Schicht 1 erstreckt, ein Speicherkondensator 3 angeordnet, der eine untere Elektrode 4, eine sogenannte Bottom-Elektrode, eine obere Elektrode 5, eine sogenannte Top-Elektrode und ein dazwischen angeordnetes Dielektrikum 6 bzw. ein Speichermedium aus einer ferroelektrischen Dünnschicht bzw. einer Dünnschicht mit hoher Dielektrizitätskonstante umfaßt. Um das eingangs abgehandelte Problem einer Materialdiffusion zu verhindern, ist zwischen der unteren Elektrode 4 und der Oberseite des mit SiO<sub>2</sub> beschichteten Substrats eine Barrierenschicht 7 angeordnet.

Ein herkömmlicher Prozeßablauf zur Erzeugung der Barrierenschicht 7 ist in Fig. 2 schematisch ohne Darstellung des Substrats gezeigt. Demnach wird in bekannter Weise auf der Oberseite der Barrierenschicht 7 eine Lackmaske 8 aufgebracht, die aufgrund der Maskenstruktur Abdeckungsgebiete einer bestimmten Flächenausdehnung (mit CD = Critical Dimension) aufweist. Diese Anordnung ist im oberen Teil von Fig. 2 gezeigt. Im unteren Teil von Fig. 2 ist die Anordnung nach Strukturierung der Barrierenschicht 7 mit verbleibender Lackmaske 8 gezeigt, wobei deutlich hervorgeht, daß die Oberfläche bzw. CD der Lackmaske 8 stark verändert ist, wobei häufig durch Redepositionen 8' schräg abfallende Flanken der Lackmaske verbleiben. In ähnlicher Weise zeigt die unter der Lackmaske verbleibende Barrierenschicht 7 eine verringerte ebene Oberfläche mit schräg abfallenden Flanken.

Die ungünstige Profilabschrägung der Barrierenschicht 7 gemäß diesem herkömmlichen Verfahren wird durch Verwendung einer ebenfalls mit 8 bezeichneten harten Maske, einer sogenannten Hard-Mask vermieden, wie schematisch in Fig. 3A und 3B gezeigt, wobei Fig. 3A den Zustand der Anordnung vor der Ätzung und Fig. 3B den Zustand der Anordnung nach der Ätzung zeigt. Werden nachfolgend auf den durch Fig. 3B verdeutlichten Prozeßzustand Naßprozesse angewendet, um die harte Maske 8 zu entfernen, ist mit einer zusätzlichen isotropen Unterätzung der Strukturen zu rechnen.

Dieser Nachteil wird erfindungsgemäß durch die Prozeßführung gemäß Fig. 3C und Fig. 3D vermieden. Gemäß Fig. 3C wird demnach die strukturierte Barrierenschicht 7 mit samt der auf ihr verbliebenen Maskenschicht 8 mittels einem CVD-Prozeß in SiO<sub>2</sub> eingebettet. Die SiO<sub>2</sub>-Einbettungsschicht ist mit der Bezugsziffer 9 bezeichnet. Daraufhin erfolgt, wie in Fig. 3D gezeigt, ein CMP-Prozeß mit Polierstopp auf der Oberfläche der Barrierenschicht 7, durch welchen von der Barrierenschicht 7 die Hartmaske 9 vollständig unter Belassung einer großflächigen ebenen Oberfläche bzw. Kontaktfläche abgetragen wird, auf welcher die nachfolgend aufzubringende untere Elektrodenschicht 4 des Speicherkondensators 3 ohne Erzeugung zusätzlicher Topographie und mit guter Haftung aufgebracht werden kann.

#### Bezugszeichenliste

0 Substrat	
1 Substratbeschichtung z. B. mit SiO <sub>2</sub>	60
2 Stopfen	
4 untere Elektrode	
5 obere Elektrode	
6 Dielektrikum	
7 Barrierenschicht	65
8 Lackmaske	
8' Redepositionen am Lack	
9 Einbettungsschicht	

#### Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FeRAM, mit einem Silizium-Substrat, auf welchem zumindest ein Speicherkondensator mit unterer Elektrode, oberer Elektrode und einer dazwischen liegenden Dielektrikumschicht, insbesondere aus einem ferroelektrischen Material angeordnet ist, wobei die untere Elektrode von dem Silizium-Substrat durch eine Barrierenschicht, insbesondere bestehend aus einer Diffusionsbarriere bzw. einem Diffusionsbarrieren-Sandwich in Kombination mit Haftschichten, insbesondere aus Ir, IrO<sub>2</sub>, IrO, isoliert ist, wobei die Barrierenschicht vor dem Aufbringen des Speicherkondensators mittels einer Hartmaske, insbesondere aus SiO<sub>2</sub>, SiN, SiON, strukturiert wird, die nach der Strukturierung verbleibende Maskenschicht unter Freilegung der strukturierten Barrierenschicht entfernt wird, **dadurch gekennzeichnet**, daß die strukturierte Barrierenschicht vor Entfernung der verbleibenden Maskenschicht mittels CVD (Chemical Vapour Deposition bzw. chemische Dampfabcheidung) in SiO<sub>2</sub> eingebettet wird, und die verbleibende Maskenschicht zusammen mit der SiO<sub>2</sub>-Einbettung von der Oberfläche der Barrierenschicht mittels eines SiO<sub>2</sub>-CMP (Chemical Mechanical Polishing)-Prozesses entfernt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der CMP-Prozeß einen Polierstopp-Schritt für die Oberfläche (Kontaktfläche) der Barrierenschicht umfaßt.

---

Hierzu 2 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1

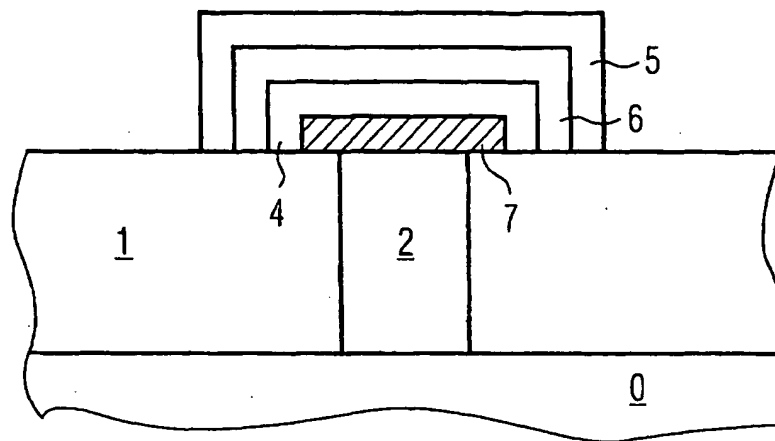


FIG 2

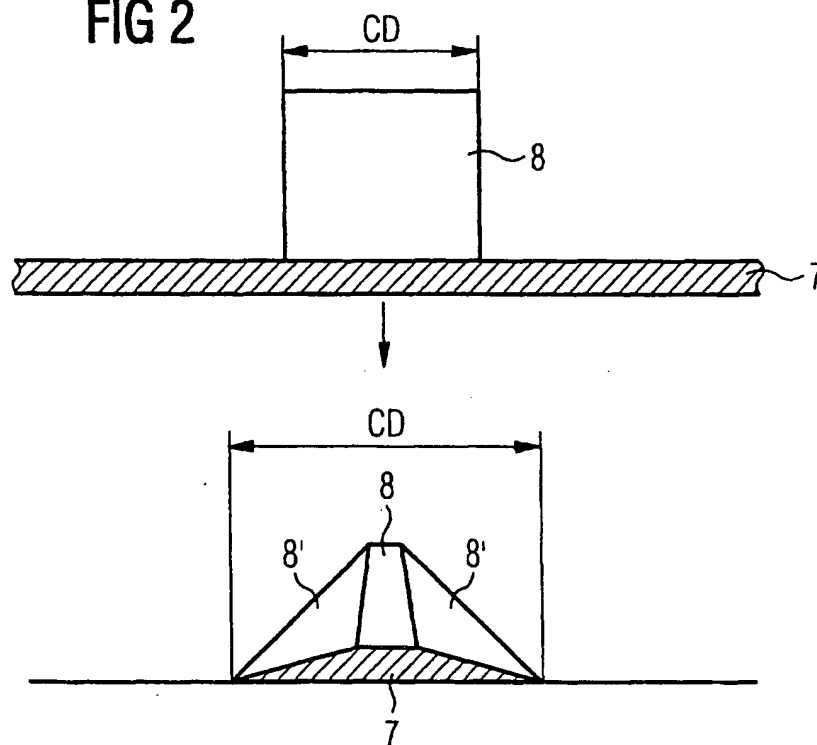


FIG 3A

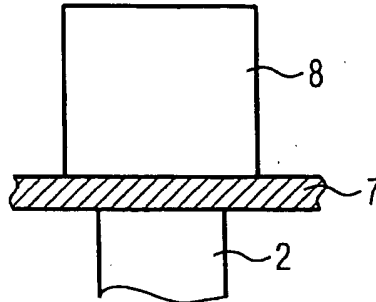


FIG 3B

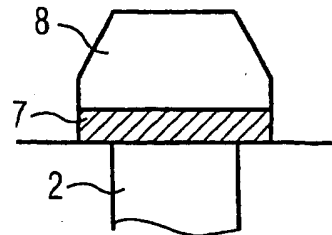


FIG 3C

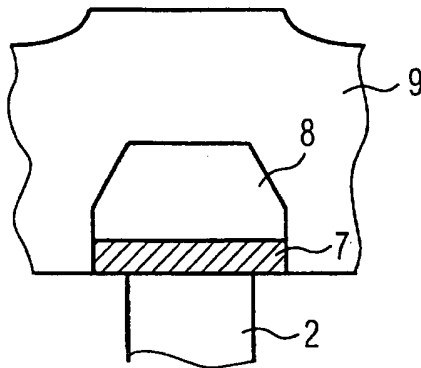
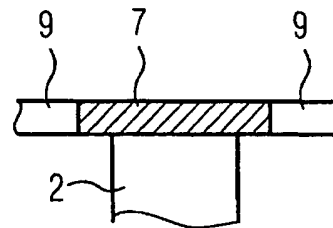


FIG 3D



**Method for fabricating a semiconductor memory component**

Patent Number: US2002115253  
Publication date: 2002-08-22  
Inventor(s): KREUPL FRANZ (DE); ENGELHARDT MANFRED (DE); WEINRICH VOLKER (FR); SCHIELE MANUELA (GB)  
Applicant(s):  
Requested Patent: DE19926501  
Application Number: US20010013234 20011210  
Priority Number (s): DE19991026501 19990610; WO2000DE01896 20000609  
IPC Classification: H01L21/8242  
EC Classification: H01L21/02B3C4  
Equivalents: EP1198828 (WO0077841), JP2003502842T, TW477039, US6566220, WO0077841

**Abstract**

The invention relates to a method for fabricating a semiconductor memory component, in particular a DRAM or FeRAM having a silicon substrate. The lower electrode of a storage capacitor is insulated from the silicon substrate by a barrier layer. The barrier layer is patterned using a hard mask, in particular, made from SiO<sub>2</sub>, SiN, SiON, before the storage capacitor is applied, and the mask layer which remains after the patterning is removed so as to uncover the patterned barrier layer. The invention provides for the patterned barrier layer to be embedded in SiO<sub>2</sub> by means of CVD (chemical vapor deposition) prior to the removal of the remaining mask layer, and for the remaining mask layer, together with the SiO<sub>2</sub> embedding, to be removed from the surface of the barrier layer using an SiO<sub>2</sub>-CMP (chemical mechanical polishing) process

Data supplied from the esp@cenet database - I2

DOCKET NO: P2004-0134  
SERIAL NO: \_\_\_\_\_  
APPLICANT: Heike Drummer et al.  
LERNER AND GREENBERG P.A.  
P.O. BOX 2480  
HOLLYWOOD, FLORIDA 33022  
TEL. (954) 925-1100